

DC/DC CONVERTER

Publication number: JP2003164151
 Publication date: 2003-06-06
 Inventor: MATSUKAWA MITSURU; KURIO NOBUHIRO; HASEBE KOYA
 Applicant: NISSIN ELECTRIC CO LTD
 Classification:
 - international: H02M3/28; H02M3/24; (IPC1-7): H02M3/28
 - European:
 Application number: JP20010363038 20011128
 Priority number(s): JP20010363038 20011128

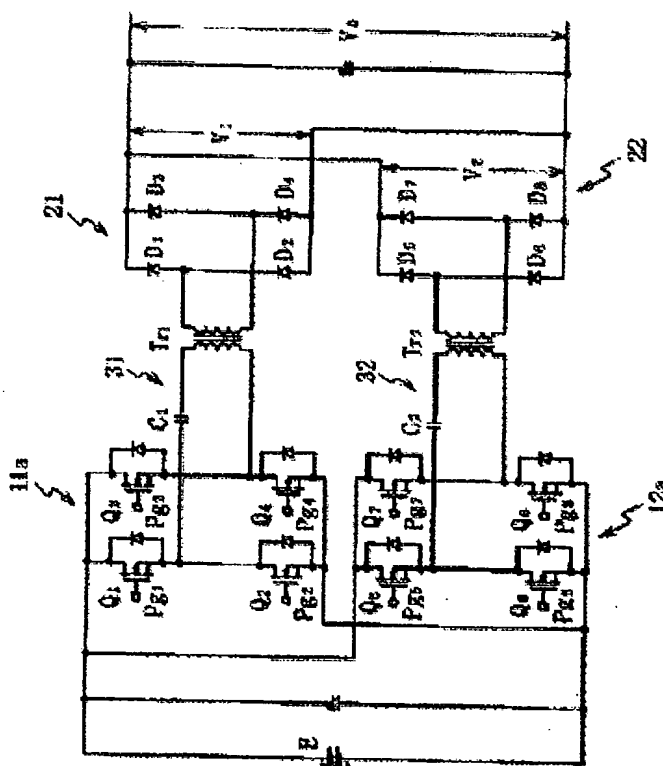
Report a data error here

Abstract of JP2003164151

PROBLEM TO BE SOLVED: To provide a DC/DC converter that facilitates reduction in size and weight and cutting down on the cost of the converter by a simple means.

SOLUTION: The DC/DC converter comprises rectifying circuits 21, 22 at output sides of resonance inverters 11a, 12a connected to a DC power source E by a full-bridge structure composed of two pairs of switching elements $Q_{<SB>1</SB>}$ to $Q_{<SB>4</SB>}$ and $Q_{<SB>5</SB>}$ to $Q_{<SB>8</SB>}$ via transformers $Tr_{<SB>1</SB>}$, $Tr_{<SB>2</SB>}$. Series resonance circuits 31, 32 of the resonance inverters 11a, 12a are constituted by leakage inductances of capacitors $C_{<SB>1</SB>}$, $C_{<SB>2</SB>}$ and the transformers $Tr_{<SB>1</SB>}$, $Tr_{<SB>2</SB>}$.

COPYRIGHT: (C)2003,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-164151

(P2003-164151A)

(43) 公開日 平成15年6月6日 (2003.6.6)

(51) Int.Cl.⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テーマコード(参考)

Q 5 H 7 3 0

W

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2001-363038(P2001-363038)

(22) 出願日 平成13年11月28日 (2001.11.28)

(71) 出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72) 発明者 松川 満

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(72) 発明者 栗尾 信広

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(74) 代理人 100064584

弁理士 江原 省吾 (外3名)

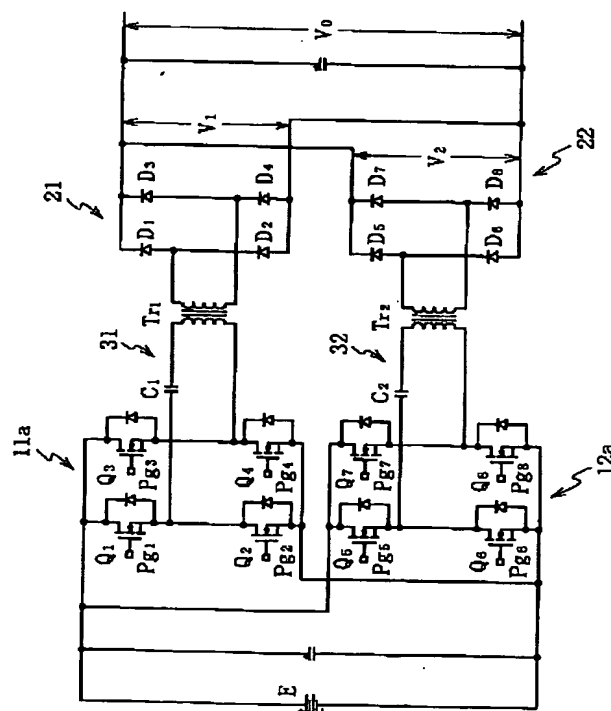
最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】 簡便な手段により、コンパクト化、軽量化ならびにコスト低減を容易にしたDC-DCコンバータを提供することにある。

【解決手段】 二対のスイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_8$ をフルブリッジ構成で直流電源Eに接続した共振インバータ11a、12aの出力側にトランス Tr_1 、 Tr_2 を介して整流回路21、22を設けたDC-DCコンバータにおいて、前記共振インバータ11a、12aの直列共振回路31、32を、コンデンサ C_1 、 C_2 と前記トランス Tr_1 、 Tr_2 のリーケージインダクタンスとにより構成する。



【特許請求の範囲】

【請求項1】 二対のスイッチング素子をフルブリッジ構成で直流電源に接続した共振インバータの出力側にトランスを介して整流回路を設けたDC-DCコンバータにおいて、前記共振インバータの直列共振回路を、コンデンサと前記トランスのリーケージインダクタンスとにより構成したことを特徴とするDC-DCコンバータ。

【請求項2】 前記共振インバータで対をなすスイッチング素子のうち、一方のスイッチング素子をコンデンサに置き換えることにより共振インバータをハーフブリッジ構成としたことを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項3】 前記共振インバータを直流電源に対して n 群設け、それら n 群の共振インバータを並列または直列のいずれか一方で相互接続したことを特徴とする請求項1又は2に記載のDC-DCコンバータ。

【請求項4】 フルブリッジ接続された二対の還流ダイオード付きスイッチング素子からなる第一の共振インバータを n 群並列に接続し、かつ、フルブリッジ接続された二対の還流ダイオード付きスイッチング素子からなる第二の共振インバータを n 群並列に接続すると共に、第一の共振インバータと第二の共振インバータとをトランスを介してそれぞれ接続し、第一の共振インバータまたは第二の共振インバータのうち、入力側となるいずれか一方の共振インバータをインバータ動作させ、かつ、出力側となる他方の共振インバータを還流ダイオードにより整流動作させることを特徴とする請求項1又は2に記載のDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はDC-DCコンバータに関し、詳しくは、直流電源回路に使用され、直流電源の電源電圧を、異なった直流電圧に変換するDC-DCコンバータに関する。

【0002】

【従来の技術】 例えば、直流電源回路に使用されるDC-DCコンバータの一例を図8に示す。図8に示すDC-DCコンバータは、二対のスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 （例えばMOS-FET）をフルブリッジ構成で直流電源Eに接続した共振インバータ1と、その共振インバータ1の出力側に接続されたトランスTrと、そのトランスTrの二次側に接続され、二対のダイオード D_1 、 D_4 と D_2 、 D_3 からなる整流回路2とで主要部が構成されている。従来のDC-DCコンバータにおいては、共振インバータ1の直列共振回路3を、コンデンサCと、トランスTrとは別体のリアクトルL（インダクタンス）とにより構成している。

【0003】 このDC-DCコンバータでは、共振インバータ1のスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 を交互にオンオフさせて交流波形出力を得る。この共振インバ

ータ1の交流波形出力をトランスTrにより変成し、そのトランスTrの二次側出力を整流回路2により整流することにより、所望の直流出力電圧 V_o を生成する。

【0004】 一般的に、共振インバータ1は、スイッチング損失を低減することを目的として、コンデンサCとリアクトルLの共振動作により、スイッチング素子 Q_1 ～ Q_4 のスイッチング電圧が零の時にオンやオフを行う零電圧スイッチング（ZVS）や、スイッチング電流が零の時にオンやオフを行う零電流スイッチング（ZCS）を用いて、直流電圧を交流電圧に変換するものである。

【0005】

【発明が解決しようとする課題】 ところで、従来のDC-DCコンバータでは、前述したように共振インバータ1を具備することから、その直流共振回路3を構成するコンデンサCやリアクトルLに基づく零電圧スイッチング（ZVS）や零電流スイッチング（ZCS）により、共振インバータ1におけるスイッチング損失を原則的にゼロにすることができる。従って、この共振インバータ1を具備することにより、一般的に、スイッチング損失の低減化が図れ、かつ、安定した出力電圧が得られる高効率のDC-DCコンバータを実現している。

【0006】 前述した共振インバータ1は、スイッチング損失を低減するために補助素子を用いることから、いわゆるソフトスイッチングインバータと称されているが、このソフトスイッチングインバータに対するハードスイッチングインバータと比較して、直列共振回路3を形成するためにコンデンサCとリアクトルL（インダクタンス）を構成部品として必要とする。そのため、DC-DCコンバータのコンパクト化、軽量化ならびにコスト低減を困難なものにしていた。

【0007】 そこで、本発明は前記問題点を鑑みて提案されたもので、その目的とするところは、簡便な手段により、コンパクト化、軽量化ならびにコスト低減を容易にしたDC-DCコンバータを提供することにある。

【0008】

【課題を解決するための手段】 前記目的を達成するための技術的手段として、本発明は、二対のスイッチング素子をフルブリッジ構成で直流電源に接続した共振インバータの出力側にトランスを介して整流回路を設けたDC-DCコンバータにおいて、前記共振インバータの直列共振回路を、コンデンサと前記トランスのリーケージインダクタンスとにより構成したことを特徴とする。なお、前記共振インバータは、二対のスイッチング素子をフルブリッジ構成する以外に、共振インバータで対をなすスイッチング素子のうち、一方のスイッチング素子をコンデンサに置き換えることにより共振インバータをハーフブリッジ構成とすることも可能である。

【0009】 本発明では、共振インバータの直列共振回路を、コンデンサとトランスのリーケージインダクタン

スとにより構成したことから、従来の直列共振回路で用いていたリアクトルが不要となり、DC-DCコンバータのコンパクト化、軽量化ならびにコスト低減が容易に図れる。

【0010】また、本発明では、前記共振インバータを直流電源に対して n 群設け、それら n 群の共振インバータを並列または直列のいずれか一方で相互接続した構成とすれば、リップル電圧の低減が図れる点で望ましい。

【0011】さらに、本発明は、フルブリッジ接続された二対の還流ダイオード付きスイッチング素子からなる第一の共振インバータを n 群並列に接続し、かつ、フルブリッジ接続された二対の還流ダイオード付きスイッチング素子からなる第二の共振インバータを n 群並列に接続すると共に、第一の共振インバータと第二の共振インバータとをトランスを介してそれぞれ接続し、第一の共振インバータまたは第二の共振インバータのうち、入力側となるいずれか一方の共振インバータをインバータ動作させ、かつ、出力側となる他方の共振インバータを還流ダイオードにより整流動作させることを特徴とする。第一の共振インバータと第二の共振インバータが還流ダイオード付きスイッチング素子からなる同一回路構成を具備することから、第一の共振インバータから第二の共振インバータへの電力変換と、第二の共振インバータから第一の共振インバータへの電力変換の両方が可能となり、双方向の電力変換が実現できる。

【0012】

【発明の実施の形態】本発明に係るDC-DCコンバータの実施形態を以下に詳述する。図1は本発明の実施形態におけるDC-DCコンバータの回路図、図2はそのDC-DCコンバータの各スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_6$ をオンオフさせるゲートパルス $P_{g1} \sim P_{g4}$ 、 $P_{g5} \sim P_{g6}$ のタイミングチャート、図3は整流回路21、22の出力電圧 V_1 、 V_2 、トランス Tr_1 、 Tr_2 の一次側電圧、各スイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_6$ のドレイン-ソース間電圧 V_{ds} およびドレイン電流 I_d の波形図である。

【0013】この実施形態のDC-DCコンバータは、二対のスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 および Q_5 、 Q_6 と Q_7 （例えば、MOS-FET、バイポーラトランジスタやIGBT）をフルブリッジ構成で接続した n 群、例えば二群の共振インバータ11a、12aと、その共振インバータ11a、12aの出力側に接続された二つのトランス Tr_1 、 Tr_2 と、そのトランス Tr_1 、 Tr_2 の二次側に接続され、二対のダイオード D_1 、 D_4 と D_2 、 D_3 および D_5 、 D_6 と D_7 からなる二群の整流回路21、22とで主要部が構成されている。

【0014】二群の共振インバータ11a、12aは、例えば鉛電池などの二次電池や燃料電池である直流電源Eに対して並列に接続され、かつ、二群の整流回路21、22も並列に接続されている。また、各共振インバ

ータ11a、12aの出力側とトランス Tr_1 、 Tr_2 の一次側との間には直列コンデンサ C_1 、 C_2 が挿入接続されている。なお、共振インバータ11a、12aのスイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_6$ は、逆並列FWD（Free Wheeling Diode：以下、還流ダイオードと称す）を具備する。この還流ダイオードは、例えばMOS-FETに逆並列で構造上等価的に存在する素子である。

【0015】この実施形態のDC-DCコンバータは、共振インバータ11a、12aの直列共振回路31、32を、直列コンデンサ C_1 、 C_2 とトランス Tr_1 、 Tr_2 のリーケージインダクタンス（図示せず）とにより構成する。このように共振インバータ11a、12aの直列共振回路31、32を、直列コンデンサ C_1 、 C_2 とトランス Tr_1 、 Tr_2 のリーケージインダクタンスとで構成したことにより、従来の直列共振回路3で用いていたリアクトルL（図8参照）が不要となり、DC-DCコンバータのコンパクト化、軽量化ならびにコスト低減が容易に図れる。

【0016】ここで、トランス Tr_1 、 Tr_2 のリーケージインダクタンスとは、トランス Tr_1 、 Tr_2 の磁気回路から漏れ出す磁束、つまりリーケージフラックスが互いに巻線の相互結合に関与しないことから、等価的にトランス巻線に直列に付加されるインダクタンスを意味する。

【0017】このDC-DCコンバータでは、ゲートパルス $P_{g1} \sim P_{g4}$ 、 $P_{g5} \sim P_{g6}$ により、図2のタイミングチャートで示すように共振インバータ11a、12aのスイッチング素子 Q_1 、 Q_4 と Q_2 、 Q_3 および Q_5 、 Q_6 と Q_7 を交互にオンオフさせる。このスイッチング素子 $Q_1 \sim Q_4$ 、 $Q_5 \sim Q_6$ のオンオフにより得られた共振インバータ11a、12aの交流波形出力をトランス Tr_1 、 Tr_2 により変成し、そのトランス Tr_1 、 Tr_2 の二次側出力を整流回路21、22により整流することにより、所望の直流出力電圧 V_o を生成する。

【0018】二群の共振インバータ11a、12aでは、図2のタイミングチャートで示すように一方の共振インバータ11aで対をなすスイッチング素子 Q_1 、 Q_4 のうち、一方のスイッチング素子 Q_1 （スイッチング素子 Q_2 はスイッチング素子 Q_1 の反転）に対して他方のスイッチング素子 Q_4 （スイッチング素子 Q_3 はスイッチング素子 Q_4 の反転）のスイッチング位相を $1/3n$ 周期、例えば $1/6$ 周期遅らせる。また、共振インバータ11aと12a間で対応するスイッチング素子 Q_1 、 Q_5 について、他方の共振インバータ12aのスイッチング素子 Q_5 （スイッチング素子 Q_6 はスイッチング素子 Q_5 の反転）のスイッチング位相をスイッチング素子 Q_1 に対して $1/2n$ 周期、例えば $1/4$ 周期遅らせる。さらに、他方の共振インバータ12aで対をなすスイッチング素子 Q_5 、 Q_6 のうち、一方のスイッチング素子 Q_5 に対して他方のスイッチング素子 Q_6 （スイッチング素子

10

20

30

40

50

Q_7 はスイッチング素子 Q_8 の反転)のスイッチング位相を $1/6$ 周期遅らせる。

【0019】共振インバータ11a, 12aのスイッチング素子 $Q_1 \sim Q_4$, $Q_5 \sim Q_8$ は、図3に示すようなドレインソース間電圧 V_{ds} およびドレイン電流 I_d でもってスイッチング動作する。各スイッチング素子 $Q_1 \sim Q_4$, $Q_5 \sim Q_8$ のスイッチング動作により、トランス T_{r1} , T_{r2} の一次側電圧(図3の最上段から二番目)にトランス T_{r1} , T_{r2} の変成比をかけてその絶対値をとったもの、つまり、一次側電圧の波形を零点で折り返したものの(図3の最上段)が、トランス T_{r1} , T_{r2} の二次側電圧を整流回路21, 22により整流した出力電圧 V_1 , V_2 として得られる。この整流回路21, 22の出力電圧 V_1 , V_2 を転流により最も電圧値の高いところでトレースすることにより出力電圧 V_o が生成される。この転流は、図3の矢印で示すタイミングでもって、スイッチング素子 Q_1 , $Q_4 \rightarrow$ スイッチング素子 Q_5 , $Q_8 \rightarrow$ スイッチング素子 Q_2 , $Q_3 \rightarrow$ スイッチング素子 Q_6 , $Q_7 \rightarrow$ スイッチング素子 Q_1 , Q_4 の順で繰り返し行われることにより、リップル電圧の低減が図れる。

【0020】前述した実施形態では、二群の共振インバータ11a, 12aを並列接続した場合について説明したが、本発明はこれに限定されることなく、図4に示すように二群の共振インバータ11b, 12bを直流電源Eに対して直列に接続した構成についても適用可能である。

【0021】また、転流のタイミングを決定するために転流のトリガとなっているのはスイッチング素子 Q_3 , Q_4 , Q_7 , Q_8 であることから、図5および図6に示すようにそれら以外のスイッチング素子 Q_1 , Q_2 , Q_5 , Q_6 をコンデンサ C_{11} , C_{12} , C_{13} , C_{16} に置き換えてハーフブリッジ構成の共振インバータとすることが可能である。図5は二群の共振インバータ11a', 12a'を並列接続した場合、図6は二群の共振インバータ11b', 12b'を直列接続した場合をそれぞれ示す。

【0022】さらに、図7に示すように同一回路構成からなる第一の共振インバータ11a, 12aと第二の共振インバータ21a, 22aとからなる双方向DC-DCコンバータとすることも可能である。第一の共振インバータ11a, 12aは、二対のスイッチング素子 Q_{11} , Q_{14} と Q_{12} , Q_{13} および Q_{15} , Q_{18} と Q_{16} , Q_{17} をフルブリッジ接続し、第二の共振インバータ21a, 22aは、二対のスイッチング素子 Q_{21} , Q_{24} と Q_{22} , Q_{23} および Q_{25} , Q_{28} と Q_{26} , Q_{27} をフルブリッジ接続したものである。また、第一の共振インバータ11a, 12aとトランス T_{r1} , T_{r2} との間には第一の直列コンデンサ C_{11} , C_{12} が挿入接続され、同様に、第二の共振インバータ21a, 22aとトランス T_{r1} , T_{r2} との間にも第二の直列コンデンサ C_{21} , C_{22} が挿入接続さ

れている。

【0023】この実施形態では、同一回路構成を有する第一の共振インバータ11a, 12aと第二の共振インバータ21a, 22aをトランス T_{r1} , T_{r2} を介して接続したことにより、第一の共振インバータ11a, 12aまたは第二の共振インバータ21a, 22aのうち、いずれか一方をインバータ動作させ、かつ、出力側となる他方を還流ダイオードにより整流動作させることにより、第一の共振インバータ11a, 12aから第二の変換回路21a, 22aへの電力変換と、第二の共振インバータ21a, 22aから第一の共振インバータ11a, 12aへの電力変換の両方が可能となり、双方向の電力変換が実現できる。

【0024】

【発明の効果】本発明によれば、二対のスイッチング素子をフルブリッジ構成で直流電源に接続した共振インバータの出力側にトランスを介して整流回路を設けたDC-DCコンバータにおいて、前記共振インバータの直列共振回路を、コンデンサと前記トランスのリーケージインダクタンスとにより構成したことから、従来の直列共振回路で用いていたリアクトルが不要となり、DC-DCコンバータのコンパクト化、軽量化ならびにコスト低減が容易に図れる。

【図面の簡単な説明】

【図1】本発明の実施形態で、二群の共振インバータを並列接続したDC-DCコンバータの回路図である。

【図2】図1のDC-DCコンバータの各スイッチング素子をオンオフさせるゲートパルスのタイミングチャートである。

【図3】図1の整流回路の出力電圧、トランスの一次側電圧、各スイッチング素子のドレインソース間電圧およびドレイン電流の波形図である。

【図4】本発明の他の実施形態で、二群の共振インバータを直列接続したDC-DCコンバータの回路図である。

【図5】本発明の他の実施形態で、ハーフブリッジ構成からなる二群の共振インバータを並列接続したDC-DCコンバータの回路図である。

【図6】本発明の他の実施形態で、ハーフブリッジ構成からなる二群の共振インバータを直列接続したDC-DCコンバータの回路図である。

【図7】本発明の他の実施形態で、第一の共振インバータと第二の共振インバータからなる双方向DC-DCコンバータの回路図である。

【図8】DC-DCコンバータの従来例を示す回路図である。

【符号の説明】

11a, 12a 共振インバータ

21, 22 整流回路

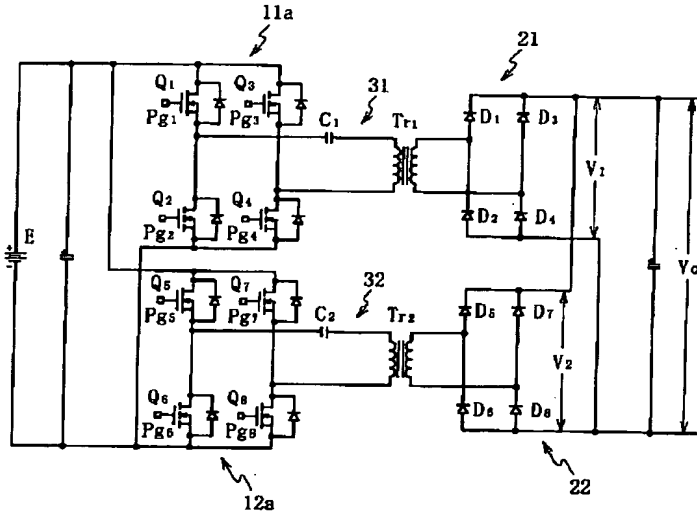
31, 32 直列共振回路

C_1, C_2 コンデンサ
E 直流電源

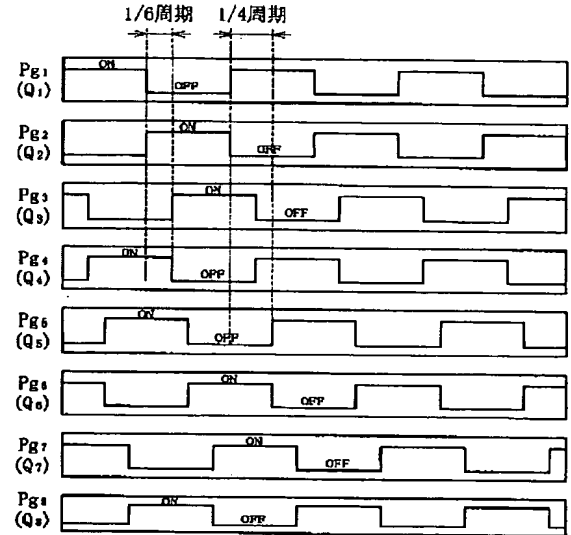
* Tr_1, Tr_2 トランス

* $Q_1 \sim Q_4, Q_5 \sim Q_8$ スwitchング素子

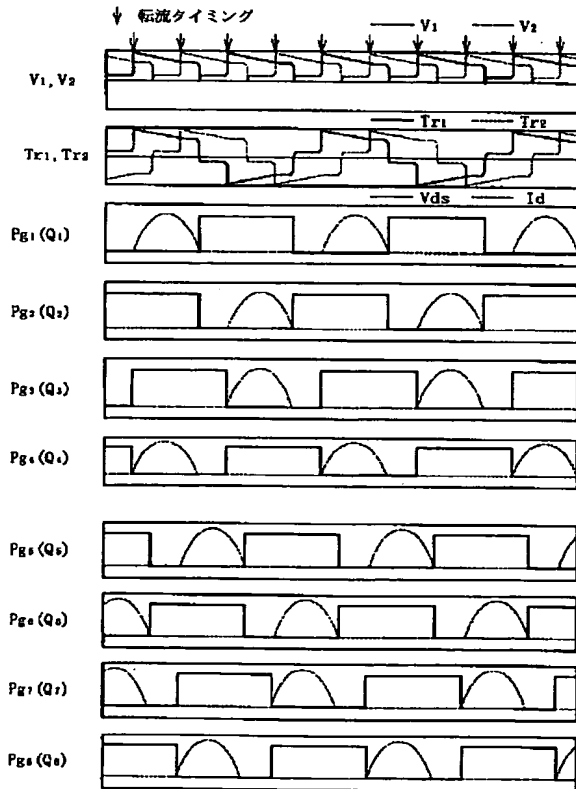
【図1】



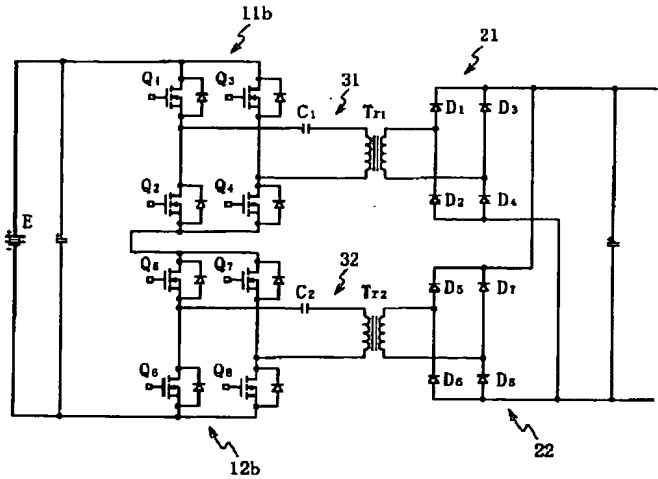
【図2】



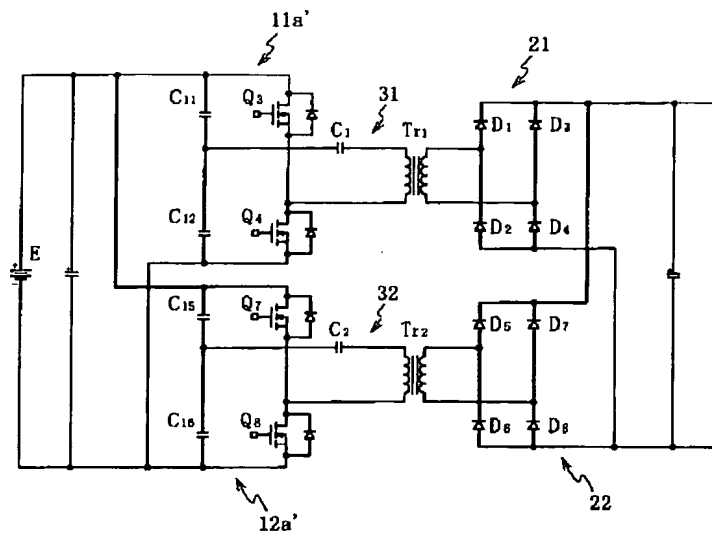
【図3】



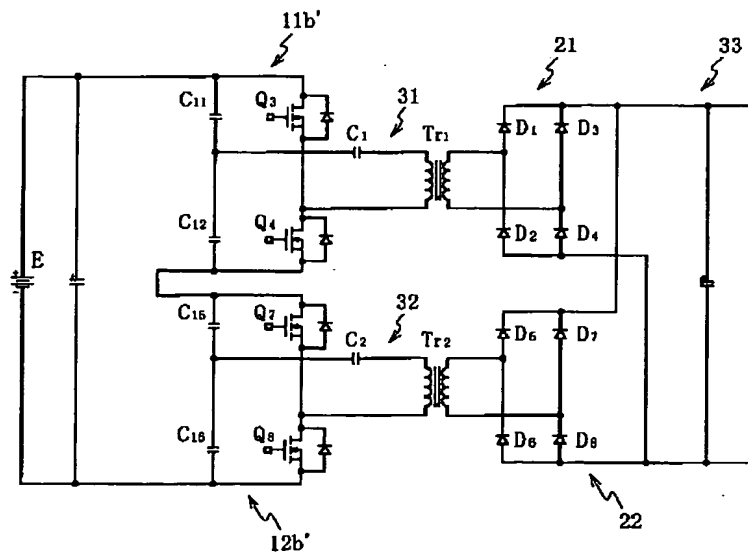
【図4】



【図5】



【図6】



The diagram shows a four-channel signal processing circuit. It consists of two differential pairs of MOSFETs, labeled 11a and 12b, which are connected to a common input signal source E. The outputs of these differential pairs are connected to two comparators, labeled 21a and 22b. Each comparator is a differential pair of MOSFETs (Q21-Q24 for 21a and Q25-Q28 for 22b) connected to a common output signal source Eo. The comparators are also connected to a common reference signal source Eo. The circuit includes two capacitors, C1 and C2, and two transformers, Tr1 and Tr2, which are connected to the outputs of the differential pairs and the inputs of the comparators. The labels 11a, 12b, 21a, and 22b are placed near the corresponding differential pairs. The labels 31 and 32 are placed near the transformers Tr1 and Tr2 respectively.

(72)発明者 長谷部 孝弥
京都府京都市右京区梅津高畝町47番地 日
新電機株式会社内

Fターム(参考) 5H730 AA15 BB26 BB27 BB61 BB81
BB82 DD03 DD04 DD16 EE04
EE07 EE13